

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-138421
 (43)Date of publication of application 27.05.1997

(51)Int.Cl. G02F 1/136
 G02F 1/133
 G09G 3/36

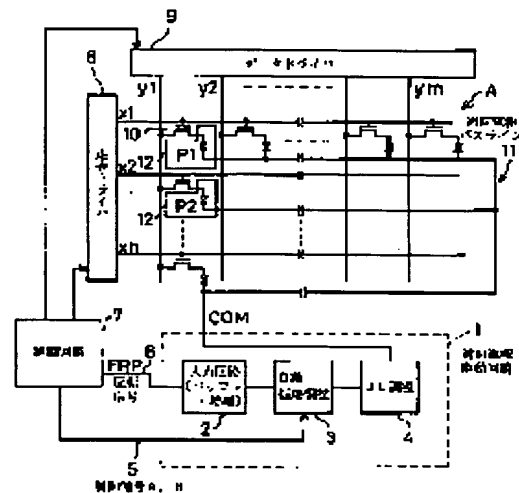
(21)Application number : 07-293966 (71)Applicant : SHARP CORP
 (22)Date of filing : 13.11.1995 (72)Inventor : MATSUURA MANABU
 YASUKAWA SADAHIKO
 YONEDA YUTAKA

(54) ACTIVE MATRIX LIQUID CRYSTAL IMAGE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a data driver area and a cost, to improve contrast picture quality and a numerical aperture and to prevent a liquid crystal from returning from bend orientation to initial spray orientation.

SOLUTION: Data signal wiring y1-ym and scan signal wiring xi-xn are arranged in matrix. In crossing points of these wiring, source electrodes of pixel transistors 10 to the data signal wiring, and the gate electrodes of the transistors 10 to the scan signal wiring are connected respectively. A pixel electrode of a pixel 12 is connected to the drain electrode of the transistor 10, and the pixel 12 contains a liquid crystal part between the pixel electrode and a counter electrode. A common signal is supplied to the counter electrode from a counter electrode drive circuit 1 commonly, and the drive circuit 1 supplies the common signal imparted to the counter electrode by varying its voltage at least by a binary or above in the period affecting no image, and makes respective scan signals active simultaneously in the period.



LEGAL STATUS

[Date of request for examination] 23.07.1999
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

(19)



JAPANESE PATENT OFFICE

#3

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09138421 A**(43) Date of publication of application: **27.05.97**

(51) Int. Cl.

G02F 1/136
G02F 1/133
G09G 3/36

(21) Application number: **07293966**(22) Date of filing: **13.11.95**(71) Applicant: **SHARP CORP**

(72) Inventor: **MATSUURA MANABU**
YASUKAWA SADAHICO
YONEDA YUTAKA

(54) **ACTIVE MATRIX LIQUID CRYSTAL IMAGE**
DISPLAY DEVICE

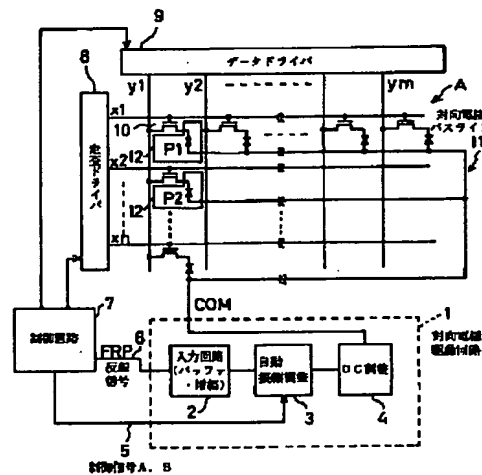
the period.

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce a data driver area and a cost, to improve contrast picture quality and a numerical aperture and to prevent a liquid crystal from returning from bend orientation to initial spray orientation.

SOLUTION: Data signal wiring y1-ym and scan signal wiring xi-xn are arranged in matrix. In crossing points of these wiring, source electrodes of pixel transistors 10 to the data signal wiring, and the gate electrodes of the transistors 10 to the scan signal wiring are connected respectively. A pixel electrode of a pixel 12 is connected to the drain electrode of the transistor 10, and the pixel 12 contains a liquid crystal part between the pixel electrode and a counter electrode. A common signal is supplied to the counter electrode from a counter electrode drive circuit 1 commonly, and the drive circuit 1 supplies the common signal imparted to the counter electrode by varying its voltage at least by a binary or above in the period affecting no image, and makes respective scan signals active simultaneously in



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-138421

(43) 公開日 平成9年(1997)5月27日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
	1/133	5 5 0		1/133
G 0 9 G 3/36			G 0 9 G 3/36	5 5 0

審査請求 未請求 請求項の数11 O L (全 13 頁)

(21) 出願番号 特願平7-293966

(22) 出願日 平成7年(1995)11月13日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 松浦 孝

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 安川 貞彦

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 米田 裕

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

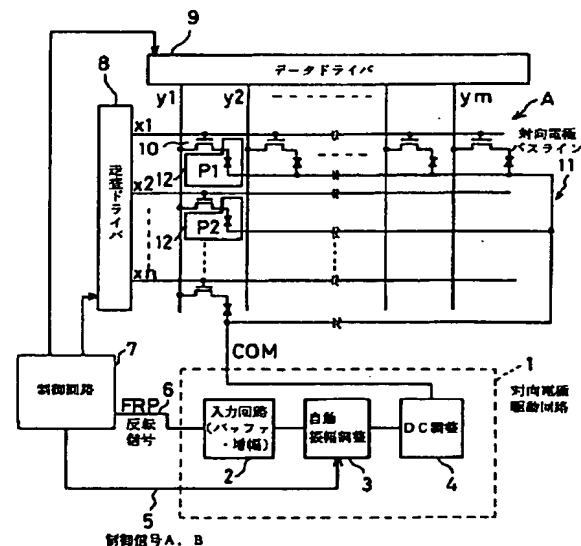
(74) 代理人 弁理士 岡田 和秀

(54) 【発明の名称】 アクティブマトリクス型液晶画像表示装置

(57) 【要約】

【課題】 データドライバの面積の減少とコストの低下、コントラスト画質品位の向上、開口率の向上、液晶がベンド配向から初期のスプレー配向に戻らないようにする。

【解決手段】 データ信号配線 $y_1 \sim y_m$ と走査信号配線 $x_1 \sim x_n$ とがマトリクス状に配置される。これら配線の交点においてデータ信号配線に画素トランジスタ 10 のソース電極、走査信号配線にトランジスタ 10 のゲート電極がそれぞれ接続される。トランジスタ 10 のドレイン電極に画素 12 の画素電極が接続され、該画素 12 が画素電極と対向電極との間に液晶部を含む。対向電極には対向電極駆動回路 1 からコモン信号が共通に供給され、その駆動回路 1 は、画像に影響が無い期間で対向電極に与えるコモン信号をその電圧を少なくとも 2 値以上可変させて供給し、その期間中に各走査信号を一斉にアクティブにする。



【特許請求の範囲】

【請求項 1】 表示用のデータ信号をそれぞれ供給する複数のデータ信号配線と走査信号をそれぞれ供給する複数の走査信号配線とがマトリクス状に配置され、これら配線の交点においてデータ信号配線には 3 端子型アクティブ素子の一端子側電極が、また走査信号配線には前記アクティブ素子の駆動端子側電極が接続され、このアクティブ素子の他端子側電極に画素を構成する画素電極が接続され、該画素は前記画素電極と対向電極との間に液晶部を含むものであり、かつ前記対向電極には対向電極駆動回路からコモン信号が共通に供給されるアクティブマトリクス型液晶画像表示装置において、

前記対向電極駆動回路は、画像に影響が無い期間で前記対向電極に与えるコモン信号を電圧を少なくとも 2 値以上可変させて供給し、前記期間中に前記各走査信号を一斉にアクティブにすることを特徴とするアクティブマトリクス型液晶画像表示装置。

【請求項 2】 前記対向電極駆動回路が、前記画像に影響が無い期間で、表示の為の照射光に対する液晶の所定の透過率または反射率を得る印加電圧としての信号電圧を印加する前に、少なくとも該信号電圧より絶対値が大きい第 1 予備電圧を該画素に印加する構成である請求項 1 記載のアクティブマトリクス型液晶画像表示装置。

【請求項 3】 前記第 1 予備電圧の値が、前記データ信号配線を駆動するデータドライバのトランジスタ耐圧よりも高い値であることを特徴とする請求項 2 記載のアクティブマトリクス型液晶画像表示装置。

【請求項 4】 前記対向電極駆動手段が、前記画像に影響が無い期間で、表示の為の照射光に対する液晶の所定の透過率または反射率を得る印加電圧としての信号電圧を印加する前で、かつ前記第 1 予備電圧の印加後に、該信号電圧よりもその絶対値が小さい第 2 予備電圧を印加する構成である請求項 1 ないし 3 いずれか記載のアクティブマトリクス型液晶画像表示装置。

【請求項 5】 前記液晶部における液晶が、ベンド配向とスプレー配向とをもつ液晶であって、表示を行うべく所定の初期の一定期間中に前記画素電極と対向電極との間の液晶部に初期電圧を印加して前記液晶部内の液晶の分子をスプレー配向からベンド配向にし、その後、所定の時間幅をもつ休止期間の間、前記印加電圧を前記初期電圧より低い電圧にする動作を少なくとも 1 回以上繰り返すことを特徴とする請求項 1 ないし 4 いずれか記載のアクティブマトリクス型液晶画像表示装置。

【請求項 6】 前記休止期間が 1 m 秒以上 3 秒以内であることを特徴とする請求項 5 記載のアクティブマトリクス型液晶画像表示装置。

【請求項 7】 前記初期電圧の印加を前記対向電極駆動回路によって行うことを特徴とする請求項 5 または 6 項記載のアクティブマトリクス型液晶画像表示装置。

【請求項 8】 前記休止期間の動作を、前記対向電極に

印加する電圧を変えることによって行うことを特徴とする請求項 5 ないし 7 いずれか記載のアクティブマトリクス型液晶画像表示装置。

【請求項 9】 前記休止期間の動作を、前記画素電極に印加する電圧を変えることによって行うことを特徴とする請求項 5 ないし 7 いずれか記載のアクティブマトリクス型液晶画像表示装置。

【請求項 10】 表示用のデータ信号をそれぞれ供給する複数のデータ信号配線と走査信号をそれぞれ供給する複数の走査信号配線とがマトリクス状に配置され、これら配線の交点においてデータ信号配線には 3 端子型アクティブ素子の一端子側電極を走査信号配線には前記アクティブ素子の駆動端子側電極が接続され、このアクティブ素子の他端子側電極に画素を構成する画素電極が接続され、該画素は前記画素電極と対向電極との間に液晶部を含み、かつ前記対向電極には対向電極駆動回路からコモン信号が共通に供給されるアクティブマトリクス型液晶画像表示装置において、

前記データ信号配線への表示用データ信号の供給の初期、最大でも 1/2 水平期間以内の期間、前記対向電極の電位を正規とし、その後、対向電極の電位をデータ信号配線のデータ信号の極性における液晶に電圧を印加しない方向の電位レベルに近付けることを特徴とするアクティブマトリクス型液晶画像表示装置。

【請求項 11】 前記対向電極駆動回路が、前記コモン信号の振幅を少なくとも 2 つ以上の振幅に調整可能な振幅調整回路を含むことを特徴とする請求項 1 ないし 10 いずれか記載のアクティブマトリクス型液晶画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶画像表示装置に関する。

【0002】

【従来の技術】従来の技術をアクティブマトリクス型液晶画像表示装置について図 11 を参照して説明する。この装置は、複数のデータ信号配線 $v_1 \sim v_m$ と複数の走査信号配線 $x_1 \sim x_n$ とがマトリクス状に配置されている。走査ドライバ 8 は各走査信号配線 $x_1 \sim x_n$ のそれぞれに走査信号を供給してこれらを駆動する。データドライバ 9 は各データ信号配線 $v_1 \sim v_m$ のそれぞれに表示用データ信号としてビデオ信号を供給してこれらを駆動する。複数の画素がマトリクス状に配置された液晶画像表示部であるパネル A 上には、前記複数のデータ信号配線 $v_1 \sim v_m$ と、複数の走査信号配線 $x_1 \sim x_n$ とが配置されている。

【0003】これら信号配線が交差する部分のそれぞれにはゲート電極へのアクティブとされた走査信号の印加入力にตอบสนองして ON する画素トランジスタ 10（以下単にトランジスタ 10 という）が配備されている。各トラ

ンジスタ10のゲート電極のそれぞれは対応する走査信号配線x1~xnに個別に接続されている。各トランジスタ10のソース電極のそれぞれは対応するデータ信号配線v1~vmに個別に接続されている。

【0004】各トランジスタ10のドレイン電極のそれぞれは対応する画素12内の画素電極に個別に接続されている。それぞれの画素12は画素電極と透明電極である対向電極とこれら両電極間に挟持された液晶部とで構成されている。各画素12それぞれの対向電極は対向電極駆動回路13（単に駆動回路という）から対向バスライン11を介して共通に供給されるコモン信号COMによって駆動される。各画素12内それぞれの画素電極と対向電極とで挟持されている液晶部には表示用としての液晶材料がそれぞれ封入されている。これら各画素12のうち、P1、P2は後の説明のために別の符号が代表的に付されており、これら画素P1、P2はデータ信号配線v1が走査信号配線x1、x2とそれぞれ交差する位置に配置されている。

【0005】駆動回路13には、図12で示すように、制御回路7から1水平周期（1H）ごとに反転する反転信号FRPが与えられる。反転信号FRPは駆動回路13内でAC調整とDC調整を受けたうえでコモン信号COMとして出力される。このコモン信号COMは、直流DCを中心に1水平期間毎に直流DCレベルよりAC分低い電位と、AC分高い電位とに反転するパルス交流である。

【0006】図13は画素12に表示用ビデオ信号が書き込まれるタイミングを走査信号とともに示した図である。図13aはデータドライバ9からデータ信号配線v1上に供給されるビデオ信号の波形を示し、図13bは駆動回路13からバスライン11を介して画素12内の対向電極に供給されるコモン信号COMの波形を示している。このビデオ信号とコモン信号COMとは互いに1Hごとに逆極性の関係に反転する。図13c~fはそれぞれ走査ドライバ8から走査信号配線x1、x2、x3、…、xn上にそれぞれ供給される走査信号x1、x2、x3、…、xnの反転を示している。図13gは図11中の画素12のうちのP1内のトランジスタ10のソースドレイン電極間の電圧差を斜線により示している。

【0007】図13gを簡単に説明する。最初の1H中においては、画素P1対応のトランジスタ10のソース電極にはデータ信号配線v1から表示用データ信号としてビデオ信号が供給されている。この1H中における前半期間TH1に走査信号配線x1を介してトランジスタ10のゲート電極に図13cのハイレベルつまりアクティブな走査信号x1が供給される。これによって、画素P1対応のトランジスタ10がONするから、前半期間TH1ではこのトランジスタ10のドレイン電極に画素電極が接続されている画素P1内の液晶部内には液晶容

量として前記データ信号配線v1からのビデオ信号が書き込まれる。

【0008】この1Hの後半期間TH2は、走査信号配線x1に供給される走査信号x1のレベルがローレベルつまりノンアクティブになるので、画素P1対応のトランジスタ10はOFFになり、トランジスタ10は高インピーダンスとなり画素電極の電位は前半期間TH1のレベルが保持される。次の1Hにおける期間TH3以降もトランジスタ10はOFFである。この場合、画素P1の対向電極に印加されるコモン信号COMの電位は1Hごとに変動するので、それに合わせて画素P1の画素電極の電位はコモン信号COMの電位と同じ振幅電位で変動する。これを示した図が図13gの点線で示される下半分の波形である。この下半分の点線の波形はトランジスタ10においてはドレイン電位の波形にも相当する。

【0009】図13gの実線で示される上半分の波形はデータ信号配線v1上のビデオ信号つまりトランジスタ10のソース電極の電位であるから、トランジスタ10のソースドレイン電極間の電位差は、点線の波形と実線の波形の電位差つまりビデオ信号とコモン信号COMとの合計振幅になり、これは図13gで斜線で図示されている。

【0010】このように、走査信号x1は1H期間中のある期間この例では前半期間TH1でハイレベルでアクティブの状態になりトランジスタ10がONするが、それ以降の1垂直期間中はローレベルでノンアクティブ状態となっているから、トランジスタ10のOFF期間におけるソース電極とドレイン電極との間の前述の最大印加電圧時間は、ON期間と比べて相当長い間の期間にわたって印加されていることになる。

【0011】以上は、一般的なアクティブマトリクス型液晶画像表示装置の動作の概略であるが、同タイプの画像表示装置としてはこの他に、フィールド順次カラー方式液晶画像表示装置が存する。次にこのフィールド順次カラー方式を使用した液晶画像表示装置について説明する。

【0012】液晶画像表示装置における大型画面には投射型があり、この投射型は、液晶表示体に光をあててスクリーンに投影することで比較的容易に大型の画面を得ることが可能である。カラー化の方法として、同時加法混色と称されて投射光を赤、緑、青に分け、それぞれ1枚ずつの液晶表示装置を用いる方法と、併置加法混色と称されて液晶表示装置を1枚用いて直視型と同様にその1枚中に赤、緑、青の画素を設ける方法とがある。

【0013】しかし前者は、高解像度が得られる反面高価であり、後者は安価であるものの解像度が得られない欠点がある。この問題点の解決法として、1画素で赤、緑、青を時分割で表示させるフィールド順次カラー方式が挙げられる。このフィールド順次カラー方式では、1枚の液晶表示装置で同時加法混色と同様な高精細が得ら

10

20

30

40

50

れしかも小型化が可能であるが、1垂直期間、NTSC方式を例にとると16msec内で赤、緑、青の各色に対応する画像を表示させるため、ゆるされる時間が5～6msecとなる。これより、フィールド順次カラー方式は通常方式である同時加法混色方式と比較して少なくとも3倍のトランジスタの高速化と高速応答の液晶材料が必要になる。

【0014】従来の、アクティブマトリクス液晶画像表示装置に用いられているツイストネマチック(TN:Twisted Nematic)モードの応答は、およそ10msecであるので実現は難しく、そこで、高速応答の液晶材料として、そのようなツイストネマチックモードに比較して、1けたから2けた程度速く、視角特性の面でも非常に有利な π セルの光学変換モードがある。

【0015】 π セルモードは、プレチルト角が基板間の中心面に対して面对称の関係で配向された構造であり、配向状態は基板間に電位が印加されていない時は、スプレー配向であり、それから、電位を印加するとベンド配向に移行する。さらに、電位を印加するとベンド配向の液晶分子が基板と垂直に配向し光が透過する状態になる。

【0016】液晶画像表示装置としては、ベンド配向における上記2つの状態で、偏光子を両側に設けその偏光子の方向を操作することでベンド配向の電圧が印加しているとき、光が透過するか、もしくは、透過させないようにすることによって表示を行うようにしている。この π セルモードの駆動法として次の2つの技術が開示されている。

【0017】つまり、特開昭61-116329号公報では、 π セルの駆動をマトリクス状に能動スイッチング素子を形成し、液晶を制御する方法の記述がなされている。また、特開昭61-128227号公報では、液晶パネル(π セル)において、表示情報に対応しない0.1msec以上50msec以下のON電圧を印加することによって高速応答を行う記述がなされている。

【0018】また、高速用の液晶の駆動方法として、本出願人は特願平5-320335で、液晶表示装置における駆動電圧供給部を設け、該駆動電圧供給部は、照射光に対する液晶の所定透過率または反射率を得る印加電圧としての信号電圧を印加する前に、少なくとも信号電圧よりその絶対値が大きい第1予備電圧を画素に印加し、さらに、その第1予備電圧を印加後に、信号電圧よりもその絶対値が小さい第2予備電圧を印加することによって、液晶の応答速度を改善する方法を提案している。

【0019】

【発明が解決しようとする課題】上述したようにツイストネマチック以外の液晶を用いた場合は、液晶に表示用の信号を印加する前に特殊な駆動、一般には、表示のための信号電圧レベルよりも高いレベルの電圧をデータ

ドライバから供給する必要があった。このため、データドライバを構成するトランジスタの耐圧をあげる必要を生じ、このトランジスタのサイズ拡大によるデータドライバの面積増大、さらには液晶画像表示画面の周辺部いわゆる額縁の増大またコストの上昇を招来していた。

【0020】このため、例えば特願平5-320335においては、電圧印加の手段としてストライプ状に配線した対向電極を使用した例が示されているが、対向電極を走査信号配線と平行になるようにストライプに配線しているために、配線インピーダンスの劣化によりコントラスト画質など表示品位の低下を招来していた。また、ストライプ状に配置するため開口率の低下つまり液晶への光透過に利用できない面積の増大を招き、高開口率設計が困難であるという課題があった。

【0021】その他、特開平61-128227号公報に記述されている π セルモード駆動方法では、表示情報の中で電圧が低い期間が長く存在する場合には液晶にベンド配向を維持するために必要な電圧が印加されない期間が長くなるので配向が初期のスプレー配向に戻るという課題があった。

【0022】

【課題を解決するための手段】本発明のアクティブマトリクス型液晶画像表示装置においては、表示用のデータ信号をそれぞれ供給する複数のデータ信号配線と走査信号をそれぞれ供給する複数の走査信号配線とがマトリクス状に配置され、これら配線の交点においてデータ信号配線には3端子型アクティブ素子の一端子側電極を走査信号配線には前記アクティブ素子の駆動端子側電極が接続され、このアクティブ素子の他端子側電極に画素を構成する画素電極が接続され、該画素は前記画素電極と対向電極との間に液晶部を含むものであり、かつ前記対向電極には対向電極駆動回路から共通信号が共通に供給されるものにおいて、前記対向電極駆動回路は、画像に影響が無い期間で前記対向電極に与える共通信号をその電圧を少なくとも2値以上可変させて供給し、前記期間中に前記各走査信号を一斉にアクティブにすることを特徴とすることによって前述した課題を解決している。

【0023】前記対向電極駆動回路が、好ましくは、前記画像に影響が無い期間で、表示の為の照射光に対する液晶の所定の透過率または反射率を得る印加電圧としての信号電圧を印加する前に、少なくとも該信号電圧より絶対値が大きい第1予備電圧を該画素に印加する構成である。

【0024】前記第1予備電圧の値が、好ましくは、前記データ信号配線を駆動するデータドライバのトランジスタ耐圧よりも高い値である。

【0025】前記対向電極駆動手段が、好ましくは、前記画像に影響が無い期間で、表示の為の照射光に対する液晶の所定の透過率または反射率を得る印加電圧としての信号電圧を印加する前で、かつ前記第1予備電圧の印

加後に、該信号電圧よりもその絶対値が小さい第2予備電圧を印加する構成である。

【0026】好ましくは、前記液晶部における液晶が、ベンド配向とスプレー配向とをもつ液晶であって、表示を行うべく所定の初期の一定期間中に前記画素電極と対向電極との間の液晶部に初期電圧を印加して前記液晶部内の液晶の分子をスプレー配向からベンド配向にし、その後、所定の時間幅をもつ休止期間の間、前記印加電圧を前記初期電圧より低い電圧にする動作を少なくとも1回以上繰り返す。

【0027】さらに好ましくは前記休止期間が1m秒以上3秒以内である。

【0028】好ましくは前記初期電圧の印加を前記対向電極駆動回路によって行う。

【0029】さらに好ましくは前記休止期間の動作を、前記対向電極に印加する電圧を変えることによって行う。

【0030】さらに好ましくは前記休止期間の動作を、前記画素電極に印加する電圧を変えることによって行う。

【0031】本発明のアクティブマトリクス型液晶画像表示装置は、前記データ信号配線への表示用データ信号の供給の初期、最大でも1/2水平期間以内の期間、前記対向電極の電位を正規とし、その後、対向電極の電位をデータ信号配線のデータ信号の極性における液晶に電圧を印加しない方向の電位レベルに近付ける構成によって前述した課題を解決している。

【0032】好ましくは前記対向電極駆動回路が、前記コモン信号の振幅を少なくとも2つ以上の振幅に調整可能な振幅調整回路を含む。

【0033】

【発明の実施の形態】以下、本発明の実施の形態に係る液晶画像表示装置について図1を参照して詳細に説明する。まず、液晶の駆動法には、表示すべき信号電圧より高い電圧を第1の予備電圧として印加した後に該信号電圧より低い電圧を第2の予備電圧として印加することによりその後の表示時の液晶の応答速度を向上させる駆動法があるが、本発明の実施の形態1においては、この駆動法に基づいて説明することにする。

【0034】図1において、従来の液晶画像表示装置と同一に係る部分については同一の符号を付し、その同一の符号に係る部分については従来と同様であるからその詳しい説明は省略する。1は対向電極駆動回路であり、この対向電極駆動回路1は、入力回路2、自動振幅調整回路3、および直流調整回路4で基本的に構成されている。入力回路2には制御回路7から反転信号FRPがバスライン6を介して供給される。自動振幅調整回路3は入力回路2に接続されているとともに、制御回路7から制御信号A、Bが制御信号バスライン5を介して供給される。制御回路7からの制御信号A、Bの後述する入力

タイミングと自動振幅調整回路3とで自動的に設定される振幅レベルとにより、対向電極バスライン11に出力されるコモン信号COMの電位つまり画素12を構成する対向電極の電位を任意に設定できるようにしている。直流調整回路4は自動振幅調整回路3に接続され対向電極バスライン11にコモン信号COMを供給する。

【0035】図1に示されている対向電極駆動回路1の詳細を図2および図3を参照して説明する。図3aは制御回路7から自動振幅調整回路3内の入力回路2へ与えられる反転信号FRPの波形を示している。この反転信号FRPは1垂直周期(1フィールド)ごとに振幅が「1」「0」に反転する信号である。入力回路2に入力された反転信号FRPは該入力回路2内で入力抵抗Rsと帰還抵抗Rfとで定まる定数で増幅されてから、自動振幅調整回路3に与えられる。

【0036】ここで、自動振幅調整回路3は3つの振幅調整回路31、32、33で構成されている。制御回路7からの制御信号バスライン5は制御信号Aのバスライン5Aと制御信号Bのバスライン5Bとの2つのバスラインからなっている。それぞれのバスライン5A、5Bはそれぞれアナログスイッチ20内の端子SW1、SW2に接続されている一方、振幅調整回路31、32および33はそれぞれアナログスイッチ20の入力端子IN1、IN2およびIN3に個別に対応して接続されている。

【0037】各振幅調整回路31、32、33はそれぞれ入力回路2の出力部とグランドとの間に互いに直列に接続された2つの抵抗R1、R2；R3、R4；R5、R6を有し、各抵抗の共通接続部がそれぞれアナログスイッチ20の入力端子IN1、IN2、IN3に接続されている。この接続構成によりこれら直列に接続された2つの抵抗の抵抗値の定数を適宜に選定することにより入力回路2から出力される反転信号FRPの振幅レベルを個別に決めることができる。ここでは振幅調整回路31の振幅レベルをVHに、振幅調整回路32の振幅レベルを0、振幅調整回路33の振幅レベルを1/2・VHとする。アナログスイッチ20の真理値表は次に掲げる表1のとおりである。

【0038】

【表1】

A	B	OUT
0	0	IN1
0	1	IN2
1	0	X
1	1	IN3

【0039】この表1について説明すると、A、Bは制御信号であり、A=0、B=0のときは振幅調整回路3

1の出力が選択されてアナログスイッチ20の端子IN1に与えられ端子OUTから出力され、 $A=0$ 、 $B=1$ のときは振幅調整回路32の出力が選択されてアナログスイッチ20の端子IN2に与えられ端子OUTから出力され、 $A=1$ 、 $B=0$ のときはいずれの振幅調整回路の出力も選択されず端子OUTから出力されない。 $A=1$ 、 $B=1$ のときは振幅調整回路33の出力が選択されてアナログスイッチ20の端子IN3に与えられ端子OUTから出力される。これら端子OUTから出力される反転信号FRPは、直流調整回路4で直流調整されてコモン信号COMとして対向電極バスライン11に供給される。したがって、図3b、cでそれぞれ示す波形の制御信号A、Bが入力される場合には、図3中の期間①は入力IN1、つまり振幅調整回路31の振幅レベルVHが選択され、同様に期間②は振幅調整回路32の振幅レベル0が選択され、期間③は振幅調整回路33の振幅レベル $1/2 \cdot VH$ が選択される。これより対向電極駆動回路1からのコモン信号COMは図3dで示す波形になる。

【0040】入力回路2を介して自動振幅調整回路3に供給される反転信号FRPは図3aで示すように1フィールド毎に振幅レベルが「1」「0」に反転する信号波形であるからコモン信号COMの波形は、反転信号FRPの波形に従って1フィールド毎に振幅が反転する波形になる。1フィールド期間中の③の期間は表示される期間を示し走査バスライン $x_1 \sim x_n$ は最上段の走査バスライン x_1 から順に画素トランジスタ10をONさせるタイミングになる。期間①、②は表示に関係がない期間であり、それはビデオ信号のブランキング期間を使用してもよいし、また、任意に作製しても構わない。また表示用のデータ信号としてはビデオ信号でなくても他のデータ信号でも構わない。

【0041】次に液晶のもう一方の電極つまり画素電極に印加されるビデオ信号の状態について図4を参照して説明する。図4aに図3dのコモン信号COMの波形を示している。図4bにデータドライバ9からデータ信号配線v1上に印加されるビデオ信号の波形を示し、図4cに走査ドライバ8から走査信号配線 $x_1 \sim x_n$ 上に印加される走査信号 $x_1 \sim x_n$ （説明の理解のため走査信号配線の符号と同一としている。）の波形を示している。ここで、ビデオ信号はデータドライバ9から供給される信号を示すが、データドライバ9のサンプルホールドの方法をこのデータドライバ9内で行うか、液晶表示パネルA内で行うかでコモン信号COMとビデオ信号との極性は逆になるが、ここでは分かりやすく、液晶表示パネルA内でホールドする信号の例を示す。図4中の期間①②③は図3中の①②③と同様な期間を示している。期間①は表示電圧 V_{on} （ $=1/2 \cdot VH$ ）レベルより高い電圧である第1予備電圧 V_{p1} （ $=VH$ ）の期間であり、期間②は液晶に印加される電圧が表示電圧 V_{on}

よりは低い電圧である第2予備電圧 V_{p2} （ $=0$ ）の期間である。ここでは、第2予備電圧 V_{p2} を0レベルにしている。

【0042】液晶表示体を構成する液晶セルは表示電圧 V_{on} のみ印加すると光学的に十分に応答しないから、その液晶セルに、所定の透過率または反射率を得る信号電圧を印加する前に、少なくとも信号電圧 V_{on} よりもその絶対値が大きい第1予備電圧 V_{p1} を印加し、さらに、第1予備電圧 V_{p1} と表示電圧 V_{on} を印加する期間の間に、少なくとも表示電圧 V_{on} よりもその絶対値が小さい第2予備電圧 V_{p2} を印加する期間を設けているのである。

【0043】さらに、第1予備電圧 V_{p1} の印加期間①と第2予備電圧 V_{p2} の印加期間②は表示電圧 V_{on} の印加期間③よりも短いことが必要である。また、ここで用いられる液晶は $d \times \Delta n > \lambda/2$ または $2d \times \Delta n > \lambda/2$ （ただし、 $d \times \Delta n$ は、液晶分子の変位に伴うリターデーションつまり表示のための照射光が液晶層を一度通過する場合に液晶分子の有する光の複屈折率効果による常光成分と異常光成分との間での液晶セルの光の道のりの差を示している）。

【0044】また、 d は液晶セルの厚さ、 Δn は液晶の屈折率異方性による常光の屈折率と異常光の屈折率との差、 λ は照射光波長）を満たす液晶を利用し、表示を行う前に常に一たんモード0への分子配向を変化させる第1予備電圧 V_{p1} を印加し、さらに第1予備電圧 V_{p1} の印加後に一次ピークとなる電圧より低い第2予備電圧 V_{p2} によって液晶分子を緩和させ、その後、印加される表示電圧 V_{on} によって表示する。

【0045】ここで、モード0とは横軸に液晶セルへの印加電圧、縦軸に光透過率をとった場合に光透過率が極大となるときの印加電圧から印加電圧を増加すると光透過率が低下してくるが、このとき最も高電圧の印加電圧側での透過率最小となる点のことであり、一次ピークとはこの光学特性がモード0となる電圧より徐々に電圧を低下させたときに一番初めに明状態つまり前記光透過率が極大となる点のことであり、

【0046】ここで上記した液晶セルへの印加電圧は、画素電極の電位とそれと対向する対向電極の電位（コモン電位）との電位差になるので、期間①の画素電極側のビデオ信号は、所望の第1予備電圧 V_{p1} のときのコモン信号電位VHを引いた値になる。これを説明の都合でビデオHとする。また、期間②は、第2予備電圧 V_{p2} を0レベルとしているのでビデオ信号は0レベルにする。そこで、第1予備電圧期間①は、対向電極に印加されるコモン信号側の電位を充分に高い電圧VHに設定しておけば、反対側の画素電極に印加するビデオHはその分低い電圧でよいことになる。

【0047】これより、その電位をデータドライバ9の耐圧以下にすることにより、データドライバ9及び走査

10

20

30

40

50

ドライバ8の駆動を第1予備電圧 V_{D1} の印加とは関係なく耐圧電圧以下で行うことができる。期間①②は表示に影響がない期間であり、図4cに示す走査信号 $x_1 \sim x_n$ のようにその期間の間は一斉に画素トランジスタ10をONさせることにより全ての走査バスライン $x_1 \sim x_n$ それぞれの画素12を構成する液晶の対向電極側に第1予備電圧 V_{D1} と第2予備電圧 V_{D2} とを印加することができる。

【0048】以上により、データドライバ9と走査ドライバ8それぞれの耐圧を越えることなく、画素12内の液晶に高電圧を印加させることができるので、液晶を高速応答させての駆動ができるとともにデータドライバ9および走査ドライバ8を低電圧で駆動できる。また、これより画素トランジスタ10のサイズの縮小化と高速動作化も可能になり、回路の簡潔化を図ることができる。このトランジスタサイズの縮小化は開口率の向上のみならず大型高精細液晶パネルとか超高精細液晶バの設計を容易化するという意味でその波及効果は高い。3端子型アクティブ素子としてのこの画素トランジスタは薄膜トランジスタ(TFT)でもバルクトランジスタ(MOSFET)でも構わない。

【0049】また図4は、期間①②③における走査信号 $x_1 \sim x_n$ それぞれのタイミングを限定しているものではなく、当然、図で示している期間より短い時間で走査信号 $x_1 \sim x_n$ までの期間を終了させても構わないし、次に示すフィールド順次カラー方式においても適用できることは言うまでもない。

【0050】図5を使ってフィールド順次カラー方式で上記の駆動を行う方法を説明する。1フィールドを1/3フィールドずつの3つに分割しそれぞれ赤(R)、緑(G)および青(B)の色に割り当てる。それぞれの第1予備電圧期間①と第2予備電圧期間②とは図5aに示すコモン信号COMの波形のように表示に影響を与えない期間を選び、その期間①②の間、走査信号全ラインは図5cに示す走査信号 $x_1 \sim x_n$ によって一斉にONさせるようにする。また、表示期間③における走査信号 x_1 から x_n までの走査は期間①②の残り全期間を使用してもよいし、短い期間でも構わない。ここでは、図5bで示すビデオ信号と図5cで示す走査信号 $x_1 \sim x_n$ のように表示に影響がない程度の短い期間に終了させるようにしている。このようにすれば表示は画面ごとの切り替わり(面走査とも言う)が可能になりフリッカーなどを抑えられ最適な表示が実現できる。以上のようにフィールド順次カラー方式および面走査のように高速駆動が必要な駆動では、液晶の応答速度とドライバの高速化とが求められるのでデータドライバ9と走査ドライバ8の低電圧駆動を可能にする本駆動は特に有効である。

【0051】次にコモン信号COM電圧の生成方法について、その他の例を説明する。その構成は図2の自動振幅調整回路3に限定されるものではなく、他の構成とし

て図6に示されるものでもよい。図6中の14はPchのMOS電界効果型のトランジスタとNchのMOS電界効果型のトランジスタとで構成されるCMOS回路であり、それらトランジスタの共通ゲート電極には反転信号FRPが制御回路から共通に供給される。15は制御回路からの制御信号Aの入力にตอบสนองして、電源生成装置17から供給される、CMOS回路14に対してのハイレベル電源のレベルとして2つのレベルつまり V_H と $1/2 \cdot V_H$ とのいずれか一方を選択するためのスイッチ、15'は制御回路からの制御信号Aの入力にตอบสนองして、電源生成装置17から供給される、CMOS回路14に対してのローレベル電源のレベルとして2つのレベルつまり $-V_H$ と $-1/2 \cdot V_H$ とのいずれかを選択するためのスイッチであり、16は制御信号Bの入力にตอบสนองして、電源生成装置17からCMOS回路14に供給される前記ハイレベル電源とローレベル電源との中間電位か、またはCMOS回路14の出力のいずれかを選択するためのスイッチである。

【0052】ここでは、電源電位の生成を電源生成装置17の1つにより構成される例を示すが、電位を別々に生成する装置が別個に横成されていても構わない。制御信号A、Bは前述したように「0」と「1」との2値レベルであり、その制御信号A、Bにより、スイッチ15、15'が開閉し、CMOS回路14からは図3に示すタイミングと同様なコモン信号COM波形の出力が得られる。

【0053】対向電極を駆動させることにより行う駆動方法には特開平1-21479号公報に記述されている。すなわち、この公報には、水平期間を複数期間に分割し、最後の分割期間において対向電極を正規の電圧とし、この期間において画素に印加される電圧が他の分圧期間における電圧よりも大きくする技術が開示されている。この技術は、画素トランジスタのソース電極とドレイン電極との間の最大印加時間を減少させリーク電流を低減させようとする技術であって、本発明の実施の形態のものとは目的が異なるものである。また、水平期間の最後の期間を使って印加電圧が最大となるものであるから、本発明とはその点でも趣旨が異なっている。また、本発明の実施の形態においては画素トランジスタを3端子型アクティブ素子として用いており、このアクティブ素子の一端子側電極をこのトランジスタのソース電極とし、他端子側電極をこのトランジスタのドレイン電極とし、その駆動側電極をゲート電極としている。

【0054】次に、本発明の実施の形態2について図7、図8および図9を参照して説明する。この実施の形態2においては、画素の液晶にスプレー(広がり)配向、ベンド(湾曲)配向をもつ液晶を使用した液晶画像表示装置であって、その配向状態を転移させる場合の例である。液晶分子は長軸に平行な方向と垂直な方向とでは光学的、誘電的、磁氣的に異方性を有しており、電気

10

20

30

40

50

的、磁気的な外場の印加で変形を生じ、その外場の除去で元の配向状態に復元する性質がある。図 7 は 2 つの電極 30、30 の間に挟まれた液晶分子 31 の状態を示している。図 7 a はスプレー配向において電極 30、30 間に電圧が印加されていない最初の初期の状態である。

【0055】この初期状態は高分子膜のラビングなどによりスプレー配向をとることができる。図 7 b は図 7 a のスプレー配向からベンド配向に転移するために必要な電圧 32 を電極 30、30 間に印加した時の状態を示している。図 7 c は図 7 a のベンド配向の状態からさらに電圧 32 を印加したときの配向であるベンド配向を示している。本発明の画像表示装置は図 7 b と図 7 c の状態の配向をそれぞれ ON と OFF とに使用して表示を行う。この ON と OFF との表示を行うために、図 7 a のスプレー配向の初期状態から図 7 b の状態のベンド配向にする必要があるが、その方法に図 8 に示すように表示の初期期間に 5 ～ 6 秒間高電圧を印加し配向をスプレー配向からベンド配向にする方法が知られている。しかし、これだけでは転移が不十分であるから、これを改善するためには、その後で印加電圧を所定の時間幅内、初期電圧より低い電圧にする動作（その時間を休止期間と呼ぶ）を 1 回以上繰り返すことで改善することができる。その休止期間は、好ましくは 1 msec 以上 3 秒以内が必要である。その休止期間の動作は、向かい合う電極 30、30 間の電位状態を初期電圧より低い電位にすることにより行うことができるが、この電位の状態はデータ信号配線により低い電位を印加する方法でもよいし、対向電極から印加する方法によっても行うことができる。

【0056】次に上記の休止期間の動作を対向電極を駆動して行う方法を図 9 を参照して説明する。液晶表示装置の構成及び対向電極駆動回路は前記実施の形態 1 に係る図 1、図 2 と同様である。図 2 において、自動振幅調整回路 3 内の振幅調整回路 31 および 32 の振幅調整レベルは実施の形態 1 と同様に VH と 0 とに設定し、振幅調整回路 33 と接続されていたアナログスイッチ 6 の入力 IN3 はオープンにする。図 9 c、d で示す制御信号 A、B のタイミングと、表 1 の真理値表とにより、休止期間で電位レベル 0、休止期間以外は電位レベル VH が選択されるので、図 9 b の波形のコモン信号を得ることができる。ここで、液晶に印加するのは、対向電極に印加される電圧と、画素電極に印加される図 9 a の波形のビデオ信号の電圧との電圧差なので、高電圧を印加しなければならない期間、つまりは休止期間以外の期間のコモン信号の電位 VH を十分に高い電位に設定しておけば、対向する画素電極のビデオ信号はその分低い電位にすることができる。これより、データドライバ 9 および走査ドライバ 8 の駆動は低い電圧で行えることができるので、ドライバ 8、9 のトランジスタサイズの縮小化および高速応答化がはかれ、ドライバ 8、9 の構成上の簡

潔化を図ることができる。

【0057】なお、上記説明された駆動は π -セルモードのみならず、他のモード例えば OCB (Optically Compensated Bend) モードの駆動にも適用することができる。

【0058】次に本発明の実施の形態 3 について図 10 を参照して説明する。上記はツイストネマチック液晶以外においてデータドライバの耐圧をあげないようにするために対向電極側から特別に電位を印加したものであるが、この方法はツイストネマチック液晶を用いたディスプレイにも応用可能である。画素トランジスタに例えば p-Si TFT (多結晶シリコンを用いた薄膜トランジスタ) 用いた液晶表示装置においては一般に TFT のオフ電流が a-Si TFT (アモルファスシリコンを用いた薄膜トランジスタ) に比べて大きいことから、OFF 時に画素トランジスタに印加される電位を低いレベルに抑制する必要がある。

【0059】この操作を対向電極側から行う場合について以下に説明する。ここで述べる液晶画像表示装置の構成は図 1 と同様である。図 10 a はデータ信号配線 v_1 のビデオ信号の波形を示している。図 10 b はコモン信号 COM の波形を示し、図 10 c は最上段の走査信号配線 x_1 から順に最下位の走査信号配線 x_n までの走査信号 $x_1 \sim x_n$ の波形を示している。図 10 a 中の VB はビデオ信号の中間電位を示す。ここで、走査信号 $x_1 \sim x_n$ はそれぞれ画素トランジスタのゲートに印加されて該トランジスタを ON にしてアクティブにするが、1 水平周期 (1 H) 中全ての期間にわたってアクティブにする必要はなく、そのトランジスタが充分に ON し液晶及び補助容量に表示用の電位が書き込める時間であればよい。それは走査信号 $x_1 \sim x_n$ が立ち下がるまでの時間になり、ここでは 1 H 中の前半分に走査信号が立ち下がるようにしている。さらにコモン信号 COM を図 10 b のようにデータ信号配線への表示用信号転送期間の初期、最大でも 1/2 水平周期 (図 10 において期間 T1、T2 に相当) の期間、コモン信号 COM の電位を正規の電位にし、残りの時間 (T3) はデータ信号配線のデータ信号の極性における液晶に電圧を印加しない方向の電位レベルに近付ける。ここではその電位を図 10 a のデータ信号配線 v_1 のビデオ信号と等しくしている。これより画素 P1 のトランジスタのドレイン・ソース電極間電位は図 10 d の波形で示すようになる。その波形について次に詳しく説明する。

【0060】画素 P1 の画素電極電位 (画素トランジスタのドレイン電極側の電位に相当) をみれば、走査信号配線 x_1 のハイレベルの期間はデータ信号配線 v_1 のビデオ信号レベルになる。それ以降は OFF 期間であり、画素トランジスタは OFF になるので、画素電極電位は対向電極電位 (コモン信号 COM) に合わせて変動する。これより、画素 P1 の画素電極電位は図 10 d の点

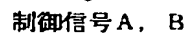
【図１】本発明の実施の形態に係るアクティブマトリクス型液晶画像表示装置の構成を示す図である。

【符号の説明】

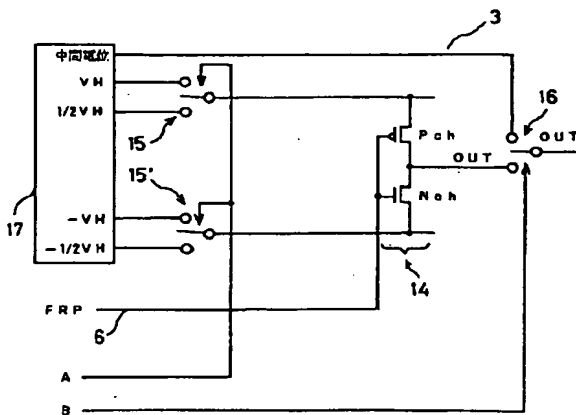
- y 1 ~ y n データ信号配線
x 1 ~ x n 走査信号配線

The diagram shows a signal processing circuit. On the left, a differential amplifier (2) has inputs A and B. It has a feedback resistor R_f and a resistor R_s . The output of the differential amplifier is connected to a network of resistors ($R_1, R_2, R_3, R_4, R_5, R_6$) and switches (SW_1, SW_2). The output of this network is connected to a DC level shifter (4) and a buffer amplifier (5). The buffer amplifier has inputs 5A and 5B. The output of the buffer amplifier is connected to a DC level shifter (4) and a buffer amplifier (5). The output of the buffer amplifier is connected to a DC level shifter (4) and a buffer amplifier (5).

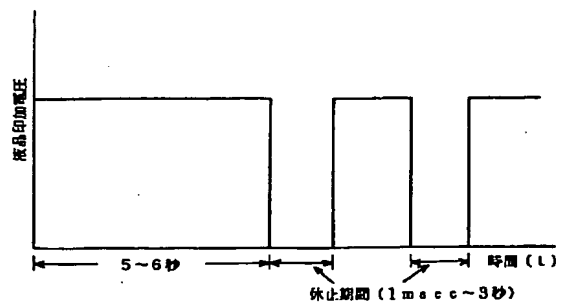
【圖 1】



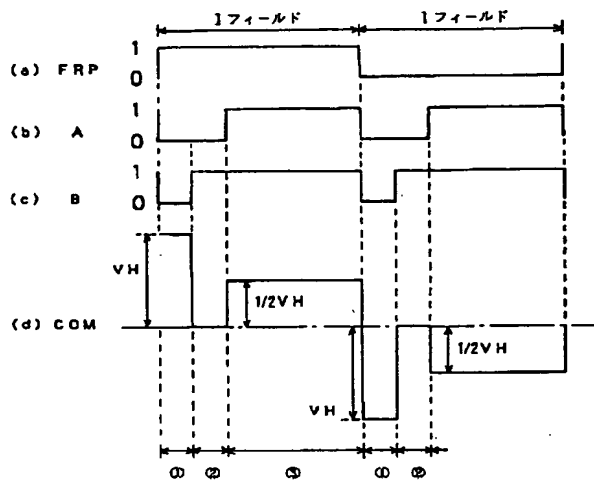
【図 6】



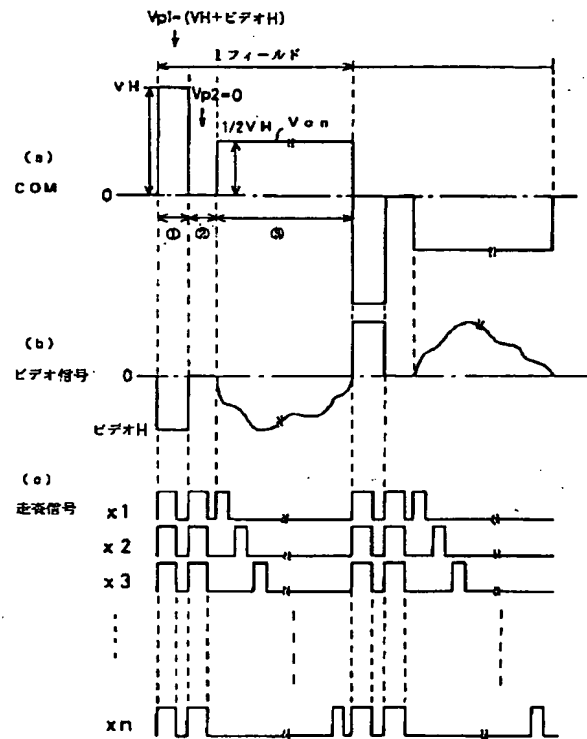
【图 8】



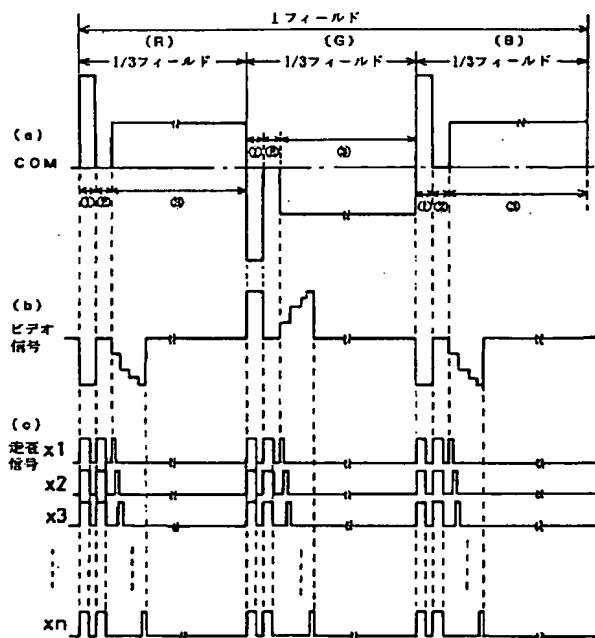
【図 3】



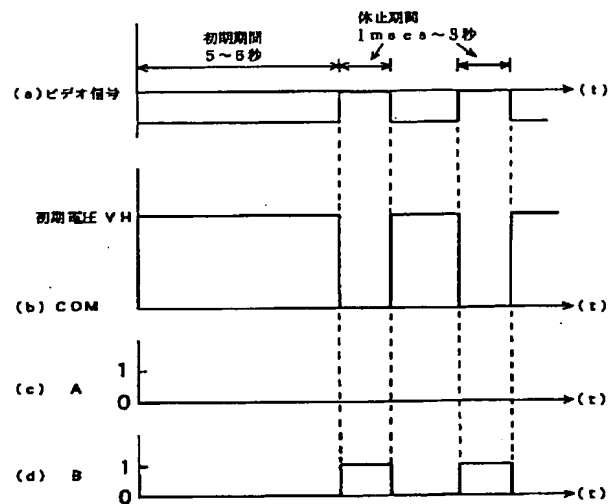
【図 4】



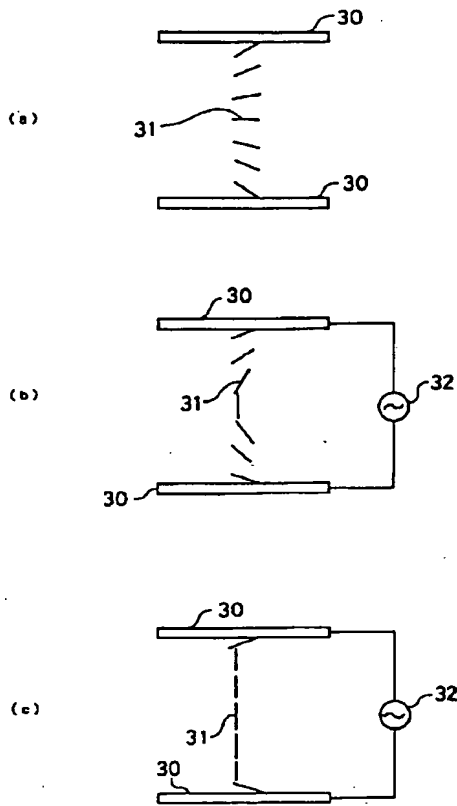
【図 5】



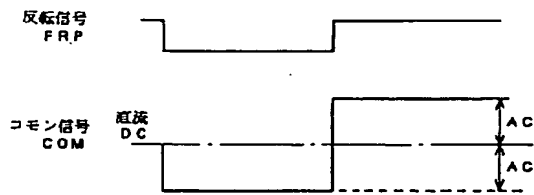
【図 9】



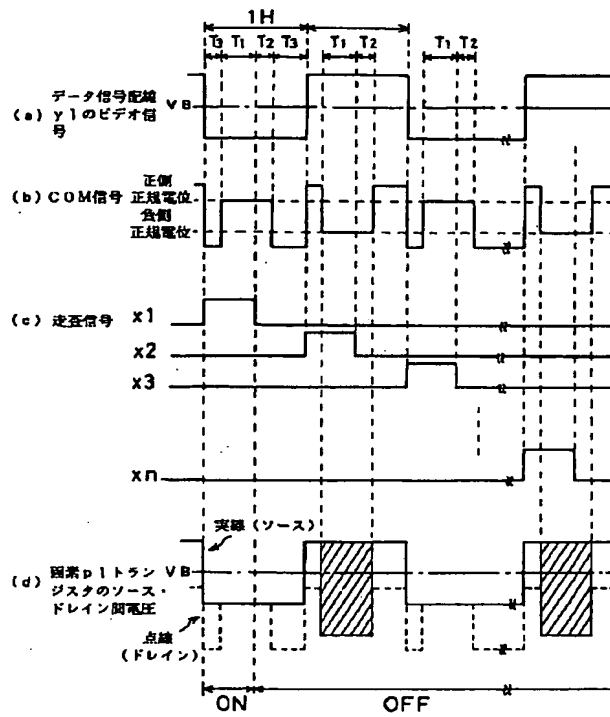
【図 7】



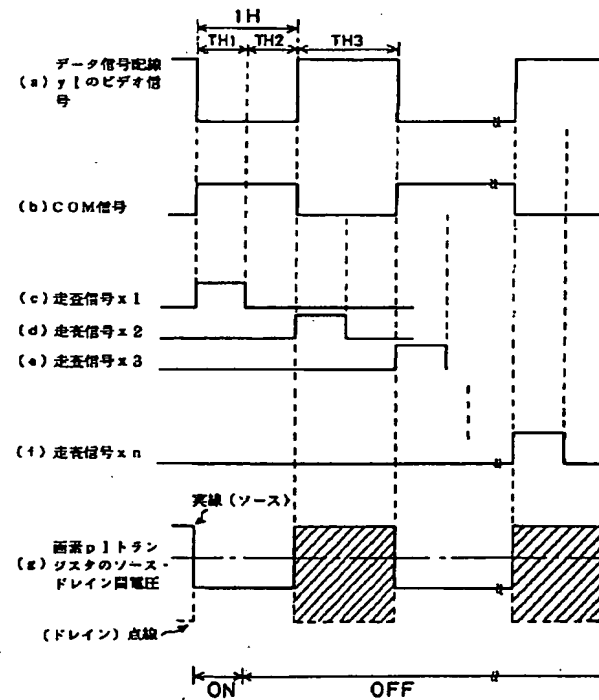
【図 12】



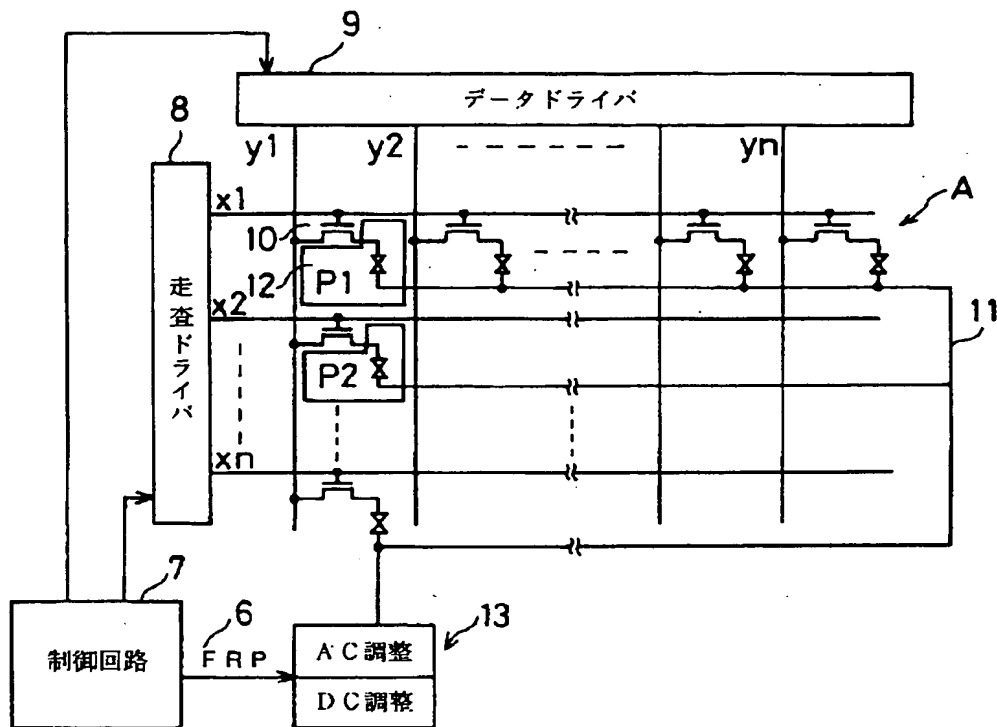
【図 10】



【図 13】



【図 11】



#3

~~JP 11-10997~~
JP 9-138421
Verification of Translation

New U.S. Patent Application

Title of the Invention:

LIQUID CRYSTAL DISPLAY DEVICE USING OCB CELL AND
DRIVING METHOD THEREOF

I, Yumi DOI, whose full post office address is IKEUCHI-SATO &
PARTNER PATENT ATTORNEYS, 26th Floor, OAP Tower, 8-30,
Tenmabashi 1-chome, Kita-ku, Osaka-shi, Osaka 530-6026, Japan, am the
translator of the documents attached and I state that the following is a true
translation to the best of my knowledge and belief of Publication of JP
9(1997)-138421 A.

At Osaka, Japan

DATED this June 6, 2002

Signature of the translator

Yumi DOI
Yumi DOI

Partial Translation of
JP 9(1997)-138421 A

Publication Date : May 27, 1997

5 Application No. : 7(1995)-293966

Application Date : November 13, 1995

Inventor : Manabu MATSUURA et al.

Applicant : Sharp Corp.

10 Title of the Invention :

ACTIVE MATRIX LIQUID CRYSTAL IMAGE DISPLAY DEVICE

Translation of page 5, line 31 – page 7, line 43

[0033]

15 [Embodiment of the Present Invention]

Hereinafter, a liquid crystal image display device according to an embodiment of the present invention will be described in detail with reference to FIG. 1. Examples of a method for driving liquid crystals includes a method in which a voltage higher than a signal voltage to be
20 displayed is applied to liquid crystals as a first preliminary voltage and thereafter, a voltage lower than the signal voltage is applied to liquid crystals as a second preliminary voltage so that the response speed of the liquid crystals will be improved at the time of display. The liquid crystal display device according to Embodiment 1 of the present invention will be
25 described in relation to this driving method.

[0034]

In FIG. 1, the portions in common with the conventional liquid crystal image display device are numbered identically. Since these portions are the same as those in the conventional liquid crystal image display device,
30 the detailed explanations thereof are not repeated herein. The reference numeral 1 denotes a counter electrode driving circuit. The counter electrode driving circuit 1 is basically made up of an input circuit 2, an automatic amplitude regulation circuit 3, and a direct current regulation circuit 4. To the input circuit 2, a polarity inversion signal FRP is supplied
35 from a control circuit 7 via a bus line 6. The automatic amplitude regulation circuit 3 is connected to the input circuit 2, and control signals A

and B are supplied to the automatic amplitude regulation circuit 3 from the control circuit 7 via a control signal bus line 5. A potential of a common signal COM outputted to a counter electrode bus line 11, i.e., a potential of a counter electrode forming a pixel 12, can be set to a desired value by
5 controlling an amplitude level that is automatically determined by input timings of the control signals A and B from the control circuit 7, which will be described later, and the automatic amplitude regulation circuit 3. The direct current regulation circuit 4 is connected to the automatic amplitude regulation circuit 3 and supplies the common signal COM to the counter
10 electrode bus line 11.

[0035]

Hereinafter, the counter electrode driving circuit 1 shown in FIG. 1 will be described in detail with reference to FIGs. 2 and 3. FIG. 3(a) shows a waveform of the polarity inversion signal FRP supplied from the control
15 circuit 7 to the input circuit 2 in the automatic amplitude regulation circuit 3. This polarity inversion signal FRP is a signal whose amplitude is inverted between "1" and "0" at every vertical period (i.e., one field). The polarity inversion signal FRP inputted into the input circuit 2 is supplied to the automatic amplitude regulation circuit 3 after being amplified in the
20 input circuit 2 at a constant determined by the input resistance R_s and the feedback resistance R_f .

[0036]

The automatic amplitude regulation circuit 3 is made up of three amplitude regulation circuits 31, 32, and 33. The control signal bus line 5
25 extending from control circuit 7 is made up of two bus lines, i.e., a bus line 5A for the control signal A and a bus line 5B for the control signal B. The bus lines 5A and 5B are connected to terminals SW1 and SW2 in an analog switch 20, respectively. On the other hand, the amplitude regulation circuits 31, 32, and 33 are connected to input terminals IN1, IN2, and IN3 of
30 the analog switch 20, respectively.

[0037]

The amplitude regulation circuits 31, 32, and 33 include two resistors R_1 and R_2 ; R_3 and R_4 ; and R_5 and R_6 connected in series between the output part of the input circuit 2 and the ground, respectively. The
35 common connected portions between the respective two resistors are connected to the input terminals IN1, IN2, and IN3 of the analog switch 20,

respectively. In accordance with this configuration, an amplitude level of the polarity inversion signal FRP outputted from the input circuit 2 can be determined individually by appropriately selecting the resistance value of each two resistors connected in series. In the present embodiment, the amplitude level of the amplitude regulation circuit 31 is set to VH, the amplitude level of the amplitude regulation circuit 32 is set to 0, and the amplitude level of the amplitude regulation circuits 33 is set to $1/2 \cdot VH$. Table 1 below is the truth table of the analog switch 20.

[0038]

[Table 1]

A	B	OUT
0	0	IN1
0	1	IN2
1	0	×
1	1	IN3

[0039]

In Table 1, A and B are control signals. When $A = 0$ and $B = 0$, an output from the amplitude regulation circuit 31 is selected, which is then supplied to the terminal IN1 of the analog switch 20 and outputted from the terminal OUT. When $A = 0$ and $B = 1$, an output from the amplitude regulation circuit 32 is selected, which is then supplied to the terminal IN2 of the analog switch 20 and outputted from the terminal OUT. When $A = 1$ and $B = 0$, no output from the amplitude regulation circuits is selected and hence, no output is outputted from the terminal OUT. When $A = 1$ and $B = 1$, an output from the amplitude regulation circuit 33 is selected, which is then supplied to the terminal IN3 of the analog switch 20 and outputted from the terminal OUT. These polarity inversion signals FRP outputted from the terminal OUT are supplied to the counter electrode bus line 11 as a common signal COM after being subjected to a direct current regulation in the direct current regulation circuit 4. Accordingly, in the case where the control signal A having a waveform shown in FIG. 3(b) and the control signal B having a waveform shown in FIG. 3(c) are inputted, an input IN1, i.e., the amplitude level VH of the amplitude regulation circuit 31, is selected during the period [1] shown in FIG. 3. Similarly, the amplitude level 0 of the amplitude regulation circuit 32 is selected during the period [2],

and the amplitude level $1/2 \cdot V_H$ of the amplitude regulation circuit 33 is selected during the period [3]. As a result, the common signal COM supplied from the counter electrode driving circuit 1 has a waveform as shown in FIG. 3(d).

5 [0040]

The polarity inversion signal FRP supplied to the automatic amplitude regulation circuit 3 via the input circuit 2 has a signal waveform whose amplitude level is inverted between "1" and "0" at every one field as shown in FIG. 3(a). Therefore, in accordance with this waveform of the polarity inversion signal FRP, the common signal COM has a waveform
10 whose amplitude is inverted at every one field. The period [3] in one field is a period in which an image is displayed, and scanning bus lines x1 to xn determine the timings at which pixel transistors 10 are turned on, the gate lines x1, x2 ...sequentially turning the pixel transistors 10 on in this order.
15 The periods [1] and [2] are the periods irrelevant to image display. These periods may be a blanking period of a video signal or may be produced as desired. Further, a data signal used for display is not limited to a video signal, and any other data signal may be used.
[0041]

20 Hereinafter, a condition of a video signal applied to the other electrode of a liquid crystal, i.e., pixel electrode, will be described with reference to FIG. 4. FIG. 4(a) shows a waveform of the common signal COM shown in FIG. 3(d); FIG. 4(b) shows a waveform of a video signal applied to a data signal wiring v1 from a data driver 9; and FIG. 4(c) shows
25 waveforms of scanning signals x1 to xn applied to scanning signal wirings x1 to xn (the same reference numerals are assigned for easier understanding) from a data driver 9. The video signal is a signal supplied from the data driver 9, and depending on whether the sample holding by the data driver 9 is performed inside the data driver 9 or in the liquid crystal
30 display panel A, the common signal COM and of the video signal have the opposite polarities. In the present embodiment, the case where the sample holding of the signal is performed in the liquid crystal display panel A will be described for ease of understanding. The periods [1], [2], and [3] shown in FIG. 4 are similar to those shown in FIG. 3. The period [1] is a period in
35 which the first preliminary voltage V_{p1} ($= V_H$) higher than the display voltage V_{on} ($= 1/2 \cdot V_H$) is applied to the liquid crystals. On the other hand,

the period [2] is a period in which the second preliminary voltage V_{p2} ($= 0$) lower the display voltage V_{on} is applied to the liquid crystals. In the present embodiment, the second preliminary voltage V_{p2} is set to 0 level.

[0042]

5 In the case where only the display voltage V_{on} is applied, liquid crystal cells constituting a liquid crystal display cannot respond optically sufficiently. On this account, before applying a signal voltage for obtaining a predetermined transmittance or reflectance, the first preliminary voltage V_{p1} having an absolute value at least greater than that of the signal voltage
10 V_{on} is applied. Further, after the first preliminary voltage V_{p1} has been applied and before applying the display voltage V_{on} , a period is provided in which the second preliminary voltage V_{p2} having an absolute value at least smaller than that of the display voltage V_{on} is applied.

[0043]

15 Further, it is necessary that both the period [1] in which the first preliminary voltage V_{p1} is applied and the period [2] in which the second preliminary voltage V_{p2} is applied are shorter than the period [3] in which the display voltage V_{on} is applied. Furthermore, the liquid crystals to be used herein satisfy the following conditions: $d \times \Delta n > \lambda/2$, or $2d \times \Delta n > \lambda/2$ (d
20 $\times \Delta n$ represents retardation due to the displacement of liquid crystal molecules. When irradiated light used for display passes through a liquid crystal layer once, an ordinary ray component and an extraordinary ray component travel the different distances due to a birefringence effect of the liquid crystal molecules. The above-mentioned retardation corresponds to
25 this difference between these distances.

[0044]

Further, d denotes a thickness of the liquid crystal cell, Δn denotes the difference in refractive index between an ordinary ray and an extraordinary ray caused by the refractive index anisotropy of the liquid
30 crystals, and λ denotes a wavelength of the irradiated light.) Every time before displaying an image, the first preliminary voltage V_{p1} is applied for shifting the molecule orientation to mode 0 once, and thereafter, the second preliminary voltage V_{p2} , which is lower than the voltage to be a primary peak after the first preliminary voltage V_{p1} has been applied, is applied to
35 relax the liquid crystal molecules. The image is displayed when the display voltage V_{on} is applied later on.

[0045]

The term "mode 0" refers to a certain point in a graph. Specifically, in the graph with a lateral axis representing a voltage applied to the liquid crystal cells and a longitudinal axis representing a light transmittance, the light transmittance decreases if the voltage applied to the liquid crystal cells becomes greater than that in the case where the light transmittance is at its maximum. The "mode 0" refers to the point at which the light transmittance is at its minimum on the side of the highest applied voltage. On the other hand, the term "primary peak" refers to the point at which a bright state is obtained for the first time, i.e., the point at which the light transmittance is at its maximum, when the voltage is decreased gradually from the voltage at which the above-mentioned optical characteristics is in the mode 0.

[0046]

The voltage applied to the above-mentioned liquid crystal cells corresponds to the difference in potential between the pixel electrode and the counter electrode opposing the pixel electrode (the potential of the counter electrode is the common potential). Thus, the video signal on the pixel electrode side during the period [1] has a value determined by subtracting the video signal potential V_H at the time of the predetermined first preliminary voltage V_{p1} is being applied from the potential of the pixel electrode. Hereinafter, this video signal is merely referred to as video H for ease of explanation. On the other hand, during the period [2], the video signal is set to 0 level since the second preliminary voltage V_{p2} is set to 0 level. Accordingly, during the period [1] in which the first preliminary voltage V_{p1} is applied, if only the potential of the first preliminary voltage V_{p1} on the common signal side applied to the counter electrode is set to be a sufficiently high voltage V_H , the video H applied to the pixel electrode on the opposite side may be low, correspondingly.

[0047]

Accordingly, by setting the potential to a value not greater than the withstand voltage of the data driver 9, the data driver 9 and scanning driver 8 can be driven at a voltage not greater than the withstand voltage, without being affected by the application of the first preliminary voltage V_{p1} . The periods [1] and [2] are irrelevant to image display. During these period, similarly to the scanning signals x_1 to x_n shown in FIG. 4(c), the first

preliminary voltage Vp1 and the second preliminary voltage Vp2 can be applied to the counter electrode side of the liquid crystals forming the respective pixels 12 from all the scanning bus lines x1 to xn by simultaneously turning all the pixel transistors 10 on.

5 [0048]

In accordance with the above-described configuration, a high voltage can be applied to the liquid crystal in the pixel 12 without exceeding the withstand voltages of the data driver 9 and the scanning driver 8. Therefore, it becomes possible to drive the liquid crystals at high response
10 speed and to drive the data driver 9 and the scanning driver 8 at a low voltage. It also becomes possible to make the pixel transistor 10 smaller and operated it at a high speed, which allow the circuit to be simpler. The smaller transistor is effective not only in improving the numerical aperture but also in facilitating the design of large high-resolution liquid crystal
15 panels and super-high resolution liquid crystal panels. This pixel transistor as an active element of three-terminal type may be a thin film transistor (TFT) and a bulk transistor (MOSFET).

[0049]

It is to be noted here that the timings of the scanning signals x1 to
20 xn during the periods [1], [2], and [3] are not limited to those shown in FIG. 4. Of course, the scanning from the scanning signals x1 to xn may be completed in a time period shorter than that shown in FIG. 4. Needless to say, the scanning signals x1 to xn can be used in a method employing a field sequential color system, which will be described in the following.

25 [0050]

Hereinafter, the above-mentioned method for driving liquid crystals employing the field sequential color system will be described with reference to FIG. 5. One field is divided into three fields, and red (R), green (G), and blue (B) are assigned to the thus-obtained three 1/3 fields, respectively. As
30 the period [1] in which the first preliminary voltage Vp1 is applied and the period [2] in which the second preliminary voltage Vp2 is applied, the periods which does not affect the image display, similarly to the waveform of the common signal COM as shown in FIG. 5(a), are selected. During these periods [1] and [2], all the scanning signal lines are turned on
35 simultaneously by the scanning signals x1 to xn shown in FIG. 5(c). Further, during the period [3], scanning from the scanning signal x1 to xn

may take the whole remaining time period in the periods [1] and [2], or may be completed in a short time. In the present embodiment, the scanning is completed in a period that is short enough not to affect the image display, similarly to the video signals shown in FIG. 5(b) and 5(c). By doing so, the switching of the display image with respect to each display screen (also referred to as "screen scanning") becomes possible, thus realizing an optimal image display upon preventing flicker etc. from occurring. As described above, since the driving method employing the field sequential color system or the method requiring high-speed driving such as screen scanning requires the improved response speed of the liquid crystals and improved operational speed of the drivers, the driving method according to the present embodiment that enables the data driver 9 and the scanning driver 8 to be driven at low voltage is particularly effective.

[0051]

Hereinafter, another example of a method for producing a common signal COM voltage will be explained. The configuration of which is not limited to the automatic amplitude regulation circuit 3 shown in FIG. 2 and may be another configuration as shown in FIG. 6, for example. In FIG. 6, 14 denotes a CMOS circuit made up of MOS field-effect transistor of Pch and MOS field-effect transistor of Nch. To the gate electrode which is in common to these transistors, a polarity inversion signal FRP is supplied commonly from a control circuit. The reference numeral 15 denotes a switch for selecting, as a high level power source with respect to the COMS circuit 14, either one of the two levels, i.e., V_H and $1/2 \cdot V_H$, which are supplied from a power source generating device 17 in response to an input of a control signal A from the control circuit. The reference numeral 15' denotes a switch for selecting, as a low level power source with respect to the COMS circuit 14, either one of the two levels, i.e., $-V_H$ and $-1/2 \cdot V_H$, which are supplied from the power source generating device 17 in response to the input of the control signal A from the control circuit. The reference numeral 16 denotes a switch for selecting either one of a potential between the above-mentioned high level power source and the low level power source, which are supplied from a power source generating device 17 in response to the input of a control signal B from the control circuit, and an output from the COMS circuit 14.

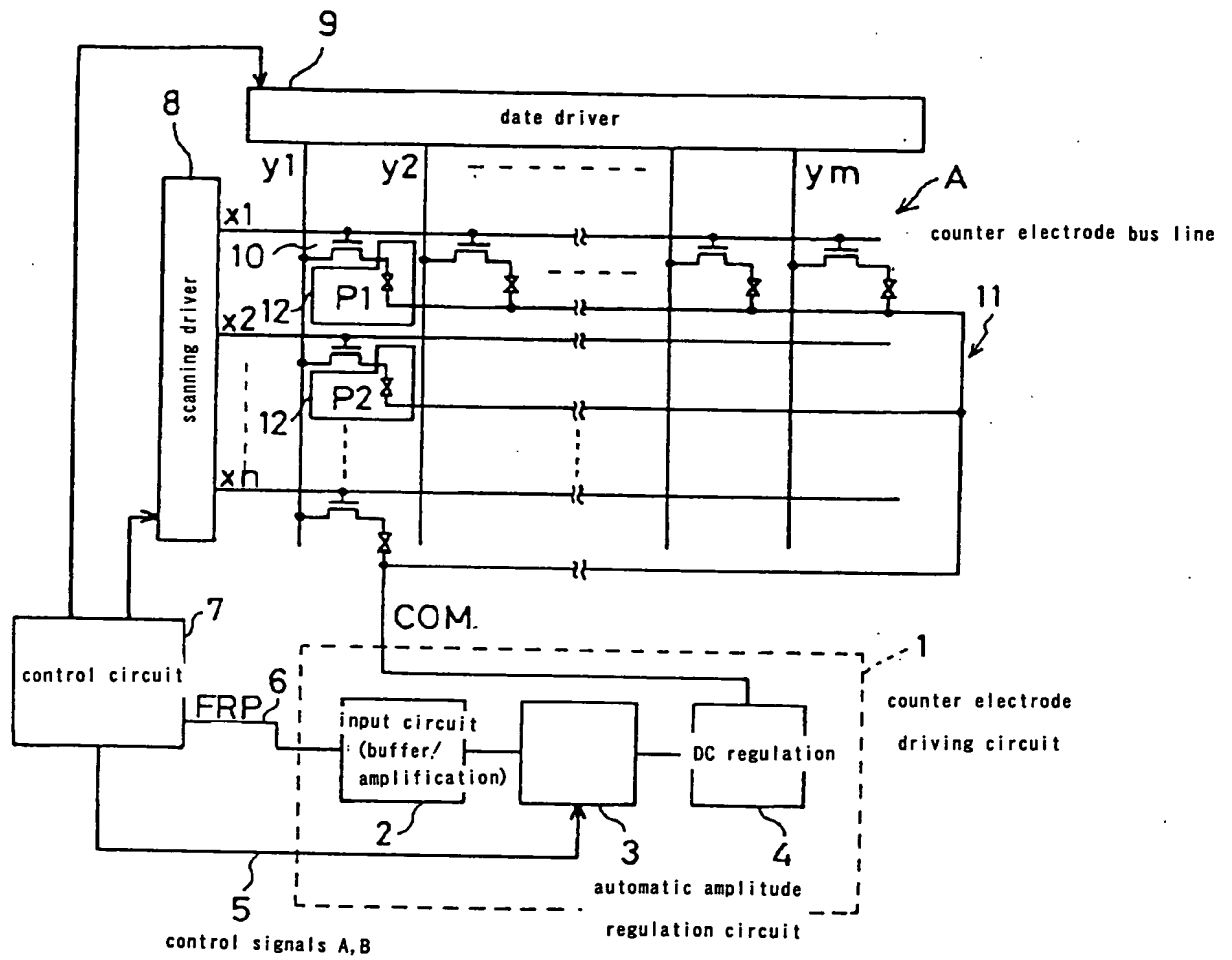
[0052]

Although the present embodiment describes the case where the power source potential is generated by the single power source generating device 17, the individual potentials may be generated by separate devices. The control signals A and B are binary signals having either "0" or "1" level as described above. The switches 15 and 15' are opened/closed by the control signals A and B, and an output having a common signal waveform with similar timings to those in FIG. 3 is obtained from the COMS circuit 14.

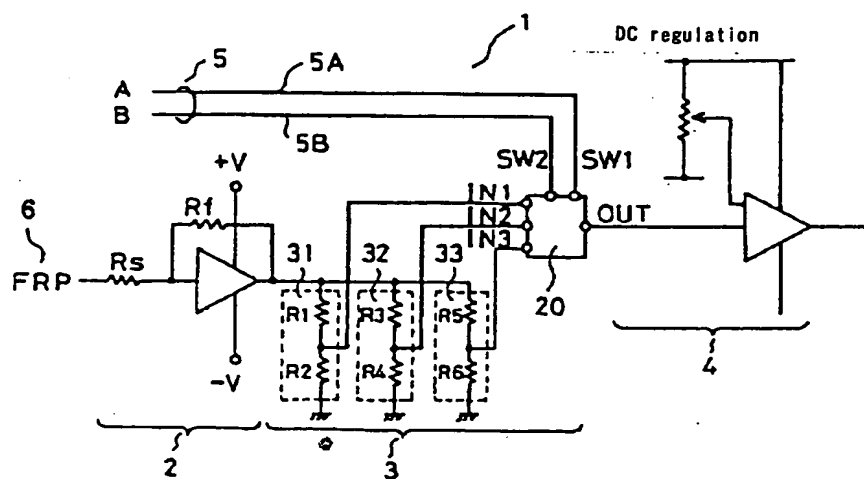
[0053]

JP 1(1989)-21479 discloses a method for driving liquid crystals by driving a counter electrode. Specifically, JP 1(1989)-21479 discloses a technique in which a horizontal period is divided into a plurality of periods, and during the last period among these periods, the voltage of the counter electrode is defined as a normal voltage, and the voltage applied to a pixel is adapted to be greater than that applied during the other divided periods. This technique aims to reduce a leakage current by receding the maximum time period in which a voltage is applied between a source electrode and a drain electrode of the pixel transistor. Thus, the object of JP 1(1989)-21479 is different from that of an embodiment according to the present invention. In addition, JP 1(1989)-21479 also differs from the present invention in that the highest applied voltage is obtained by using the last period of the divided horizontal period. Moreover, in an embodiment of the present invention, a pixel transistor is used as an active element of three-terminal type, an electrode on the side of one terminal is used as a source electrode of this transistor, an electrode on the side of the other terminal is used as a drain electrode of this transistor, and an electrode on the driving side is used as a gate electrode.

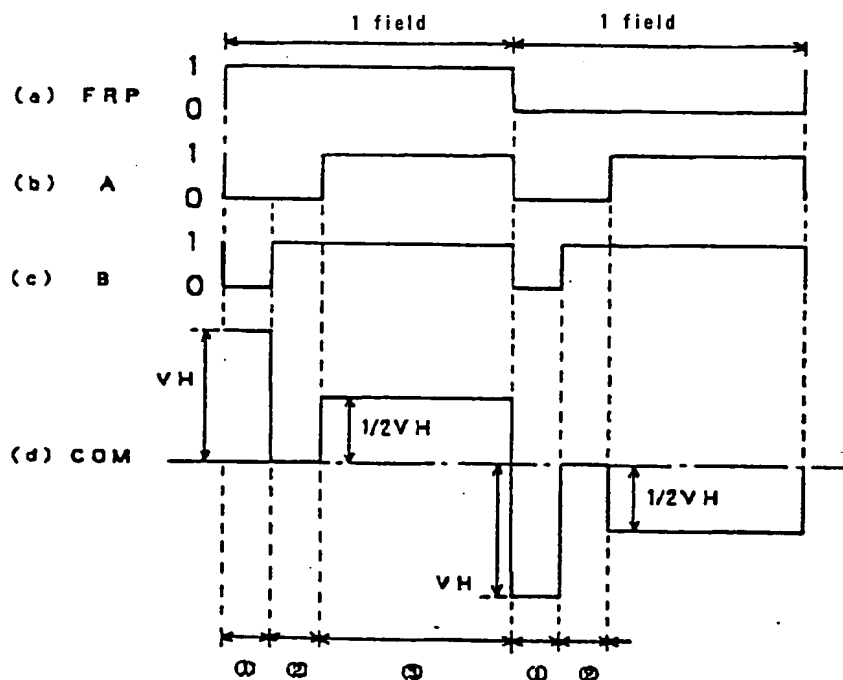
[FIG. 1]



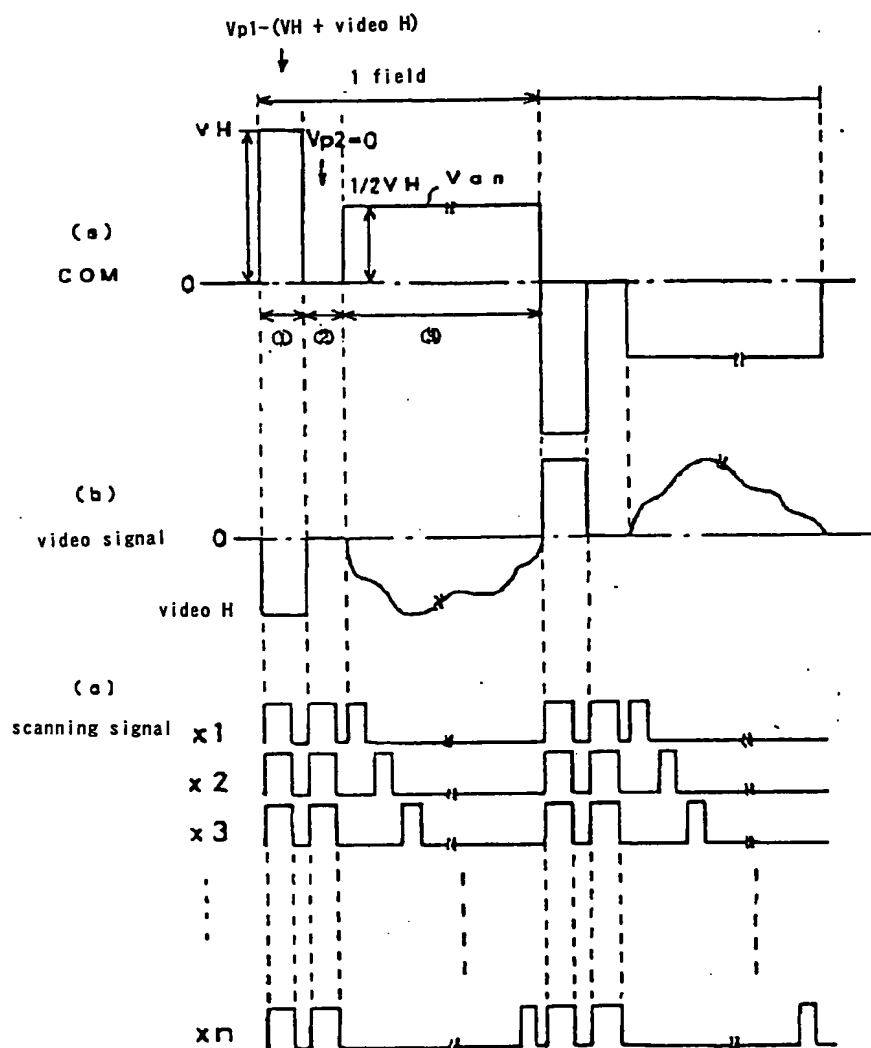
[FIG. 2]



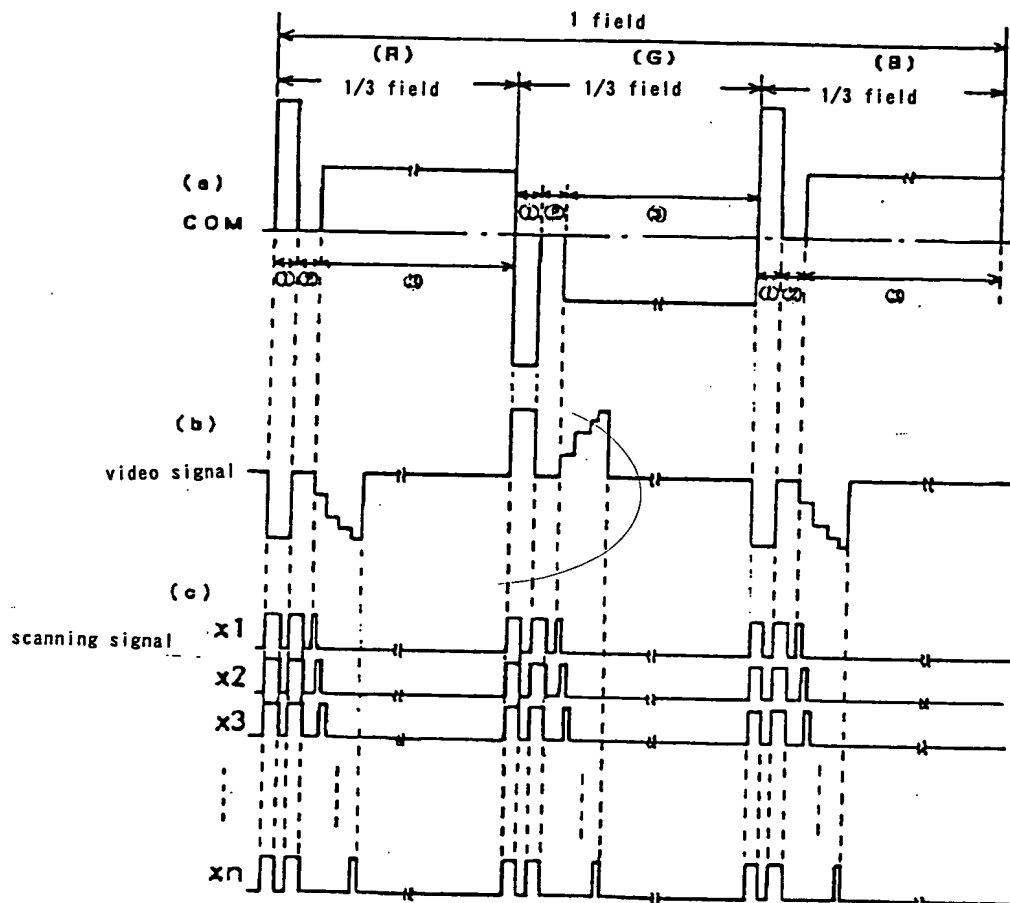
[FIG. 3]



[FIG. 4]



[FIG. 5]



[FIG. 6]

